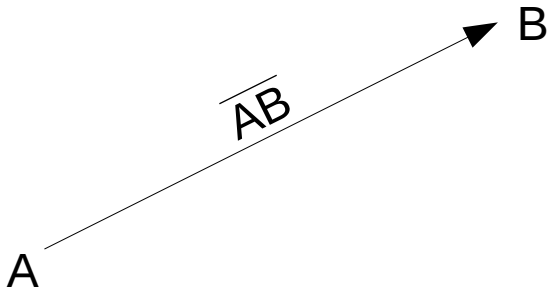


# Лекция 5

Векторные и матричные системы

# Вектор



**Вектор** (*в программировании*) — одномерный массив.

$a_{11}$	$a_{12}$	$a_{13}$	$a_{14}$	$a_{15}$
$a_{21}$	$a_{22}$	$a_{23}$	$a_{24}$	$a_{25}$
$a_{31}$	$a_{32}$	$a_{33}$	$a_{34}$	$a_{35}$
$a_{41}$	$a_{42}$	$a_{43}$	$a_{44}$	$a_{45}$

# Вектор

При размещении матрицы в памяти все ее элементы заносятся в ячейки с последовательными адресами, причем данные могут быть записаны строка за строкой или столбец за столбцом.

Шаг по индексу (stride)  
Длина вектора



# Векторный компьютер

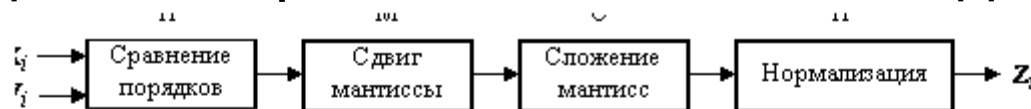
*Векторные компьютеры* манипулируют массивами сходных данных подобно тому, как скалярные машины обрабатывают отдельные элементы таких массивов. Это делается за счет использования специально сконструированных векторных центральных процессоров. Когда данные обрабатываются посредством векторных модулей, результаты могут быть выданы на один, два или три такта частотогенератора (такт частотогенератора является основным временным параметром системы). При работе в векторном режиме векторные процессоры обрабатывают данные практически параллельно, что делает их в несколько раз более быстрыми, чем при работе в скалярном режиме.

# Категории процессоров, способных реализовать векторную обработку

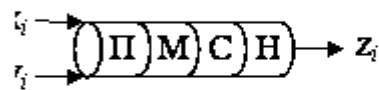
- процессор с конвейерным арифметико-логическим устройством;
- процессор с параллельным арифметико-логическим устройством;
- параллельные процессоры.

# Процессор с конвейерным АЛУ

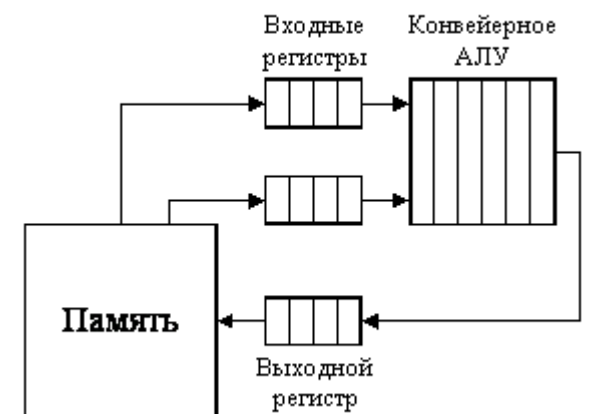
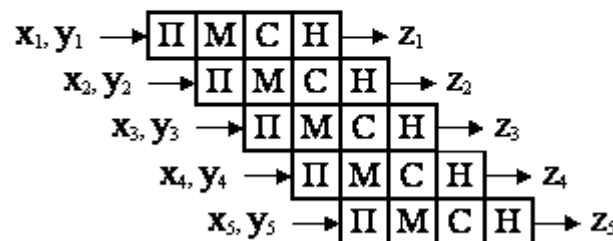
В варианте с конвейерным АЛУ обработка элементов векторов производится конвейерным АЛУ для чисел с плавающей запятой (ПЗ). Операции с числами в форме с ПЗ достаточно сложны, но поддаются разбиению на отдельные шаги. Например, сложение двух чисел сводится к четырем этапам: сравнению порядков, сдвигу мантииссы меньшего из чисел, сложению мантиисс и нормализации результата. Каждый этап может быть реализован с помощью отдельной ступени конвейерного АЛУ. Очередной элемент вектора подается на вход конвейера, как только освобождается первая ступень



a

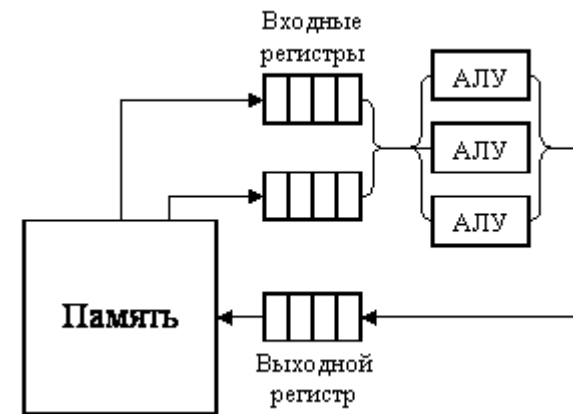
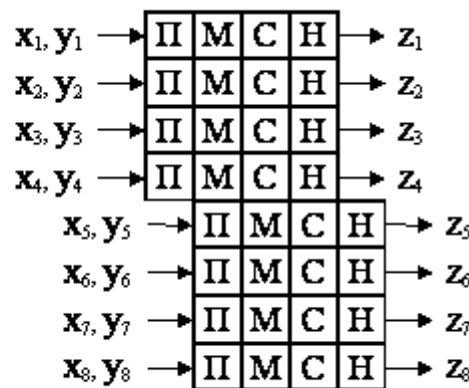
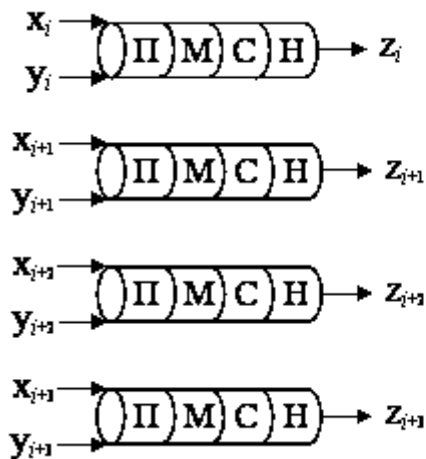


б

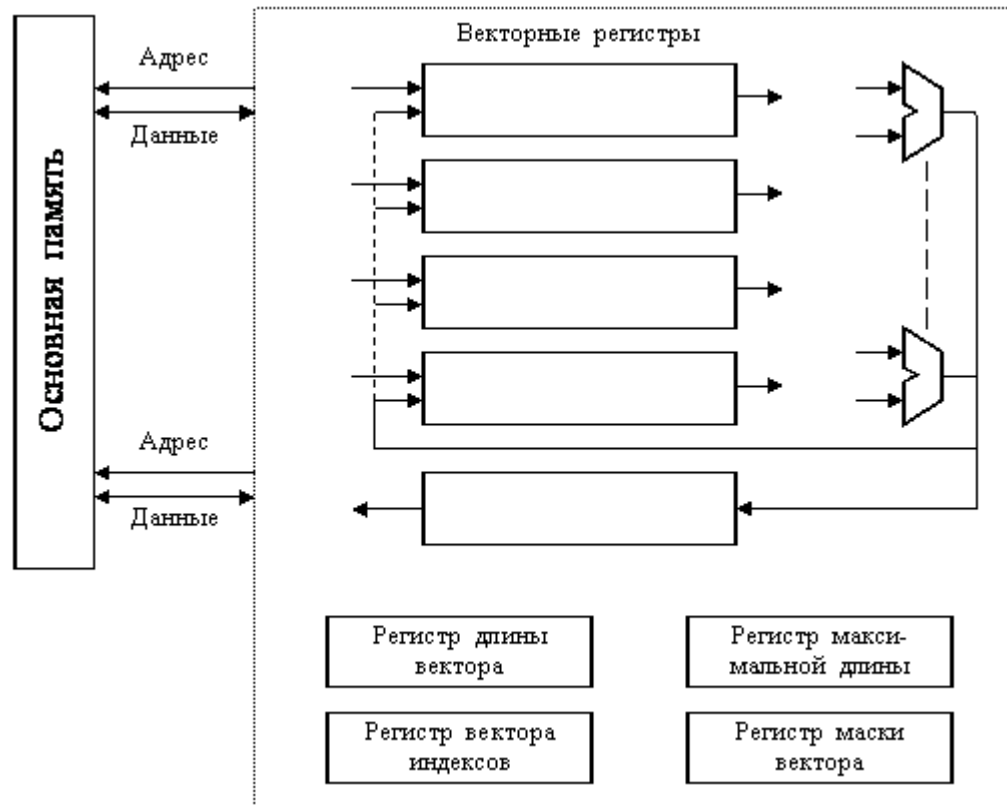


# Процессор с параллельным АЛУ

Если параллельно используются конвейерные АЛУ, то возможен еще один уровень конвейеризации. Вычислительные системы, где реализована эта идея, называются векторно-конвейерными. Коммерческие векторно-конвейерные ВС, в состав которых для обеспечения универсальности включен также скалярный процессор, известны как суперЭВМ



# Векторный процессор





# Матричные ВС

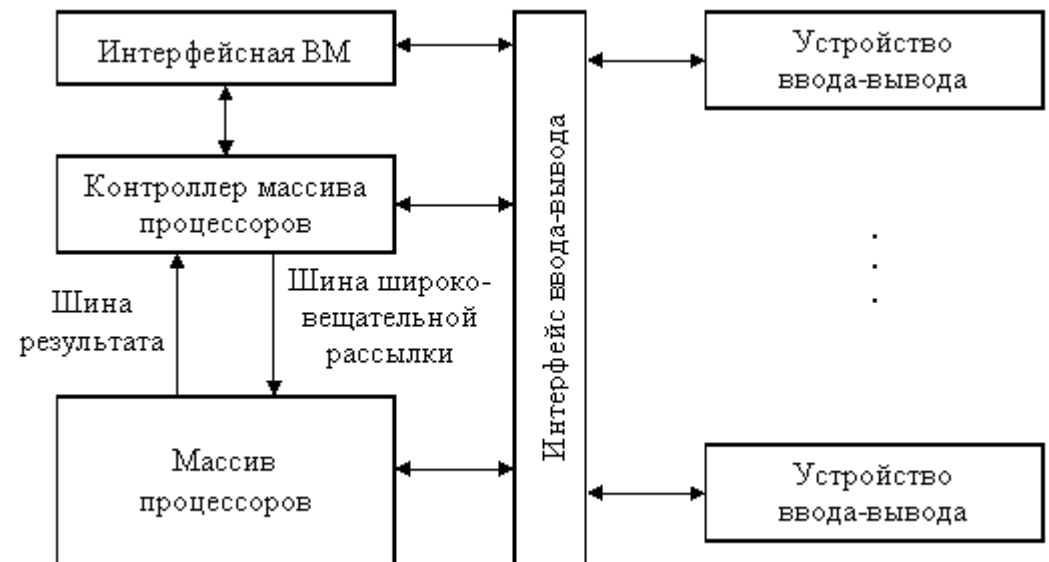
*Назначение матричных вычислительных систем во многом схоже с назначением векторных ВС – обработка больших массивов данных. В основе матричных систем лежит **матричный процессор (array processor)**, состоящий из регулярного массива процессорных элементов (ПЭ). Системы подобного типа имеют общее управляющее устройство, генерирующее поток команд, и большое число ПЭ, работающих параллельно и обрабатывающих каждый свой поток данных. С целью обеспечения достаточной эффективности системы при решении широкого круга задач необходимо организовать связи между процессорными элементами так, чтобы наиболее полно загрузить процессоры работой. Именно характер связей между ПЭ и определяет разные свойства системы.*

# Матричные ВС

Между матричными и векторными системами есть существенная разница: *матричный процессор интегрирует множество идентичных функциональных блоков (ФБ), логически объединенных в матрицу и работающих в SIMD-стиле.* Не столь существенно, как конструктивно реализована матрица процессорных элементов – на едином кристалле или на нескольких. Важен сам принцип – ФБ логически скомпонованы в матрицу и работают синхронно, т.е. присутствует только один поток команд для всех. *Векторный процессор имеет встроенные команды для обработки векторов данных, что позволяет эффективно загрузить конвейер из функциональных блоков.* В свою очередь, векторные процессоры проще использовать, потому что команды для обработки векторов – это более удобная для человека модель программирования, чем SIMD.

# Матричный процессор

Параллельная обработка множественных элементов данных осуществляется массивом процессоров (МПр). Единый поток команд, управляющий обработкой данных в массиве процессоров, генерируется контроллером массива процессоров (КМП). КМП выполняет последовательный программный код, реализует операции условного и безусловного переходов, транслирует в МПр команды, данные и сигналы управления.



# Компоненты матричной ВС

- **Массив процессоров** (МПр) осуществляет параллельную обработку множественных элементов данных.
- **Контроллер массива процессоров** (КМП) генерирует единый поток команд, управляющий обработкой данных в массиве процессоров, выполняет последовательный программный код, реализует операции условного и безусловного переходов, транслирует в МПр команды, данные и сигналы управления. Команды обрабатываются процессорами в режиме жесткой синхронизации.
- **Сигналы управления** используются для синхронизации команд и пересылок, а также для управления процессом вычислений, в частности определяют, какие процессоры массива должны выполнять операцию, а какие - нет.
- **Шина широковещательной рассылки** служит для передачи команд, данных и сигналов управления из КМП в массив процессоров.

# Компоненты матричной ВС

- **Шина результата** служит для трансляции результатов вычислений из МПр в КМП (это требуется, поскольку выполнение операций условного перехода зависит от результатов вычислений).
- **Интерфейсная ВМ** (front-end computer) служит для обеспечения пользователя удобным интерфейсом при создании и отладке программ. В роли такой ВМ выступает универсальная вычислительная машина, на которую дополнительно возлагается задача загрузки программ и данных в КМП. Кроме того, загрузка программ и данных в КМП может производиться и напрямую с устройств ввода/вывода, например с магнитных дисков. После загрузки КМП приступает к выполнению программы, транслируя в МПр по широковещательной шине соответствующие SIMD-команды.

# Интерфейсная ВМ

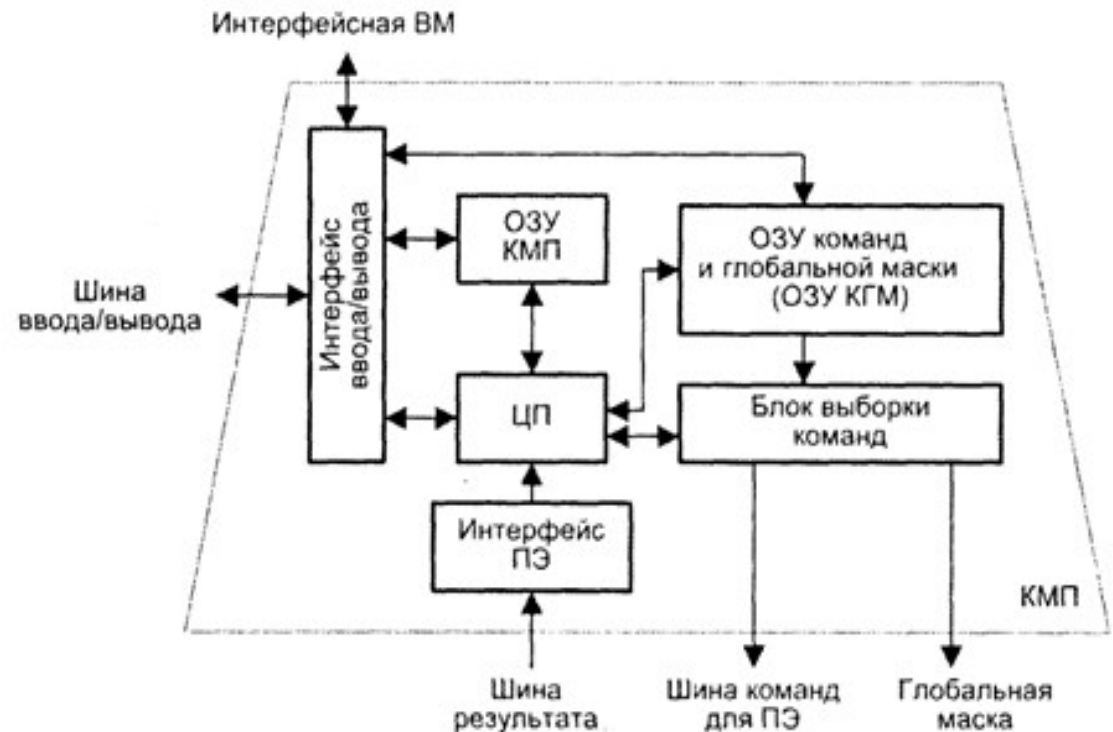
Интерфейсная ВМ (ИВМ) соединяет матричную SIMD-систему с внешним миром, используя для этого какой-либо из сетевых интерфейсов, например Ethernet, как это имеет место в системе MasPar MP-1. Интерфейсная ВМ работает под управлением операционной системы, чаще всего ОС UNIX. На ИВМ пользователи подготавливают, компилируют и отлаживают свои программы. В процессе выполнения программы сначала загружаются из интерфейсной ВМ в контроллер управления массивом процессоров, который выполняет программу и распределяет команды и данные по процессорным элементам массива. В некоторых ВС, например в Massively Parallel Computer MPP, при создании, компиляции и отладке программ КМП и интерфейсная ВМ используются совместно.

На роль ИВМ подходят различные вычислительные машины. Так, в системе CM-2 в этом качестве выступает рабочая станция SUN-4, в системе MasPar — DECstation 3000, а в системе MPP - DEC VAX-11/78

# Контроллер массива процессоров

Функции контроллера массива процессоров:

- выполняет последовательный программный код,
- реализует команды ветвления программы,
- транслирует команды и сигналы управления в процессорные элементы.



## Cray X1

<b>Производитель</b>	Cray Inc. (производят с 2003г.)
<b>Класс архитектуры</b>	Масштабируемый векторный суперкомпьютер.
<b>Процессор</b>	Используются 16-конвейерные векторные процессоры с пиковой производительностью 12.8 GFLOP/sec. Тактовая частота процессоров - 800MHz.
<b>Число процессоров</b>	В максимальной конфигурации - до 4096.
<b>Память</b>	Каждый процессор может содержать до 16GB памяти. В максимальной конфигурации система может содержать до 64TB памяти. Вся память глобально адресуема (архитектура DSM). Максимальная скорость обмена с оперативной памятью составляет 34.1 Гбайт/сек. на процессор, скорость обмена с кэш-памятью 76.8 Гбайт/сек. на процессор.
<b>Системное ПО</b>	Используется операционная система UNICOS/mp.
<b>Средства программирования</b>	Реализованы компиляторы с языков Фортран и Си++, включающие возможности автоматической векторизации и распараллеливания, специальные оптимизированные библиотеки, интерактивный отладчик и средства для анализа производительности. Приложения могут писаться с использованием MPI, OpenMP, Co-array Fortran и Unified Parallel C (UPC).



# Возможные конфигурации Cray X1

Число стоек	Число процессоров	Объем памяти	Пиковая производительность
1*	16	64-256 Гбайт	204.8 Gflops
1	64	256-1024 Гбайт	819.0 Gflops
4	256	1024-4096 Гбайт	3.3 Tflops
8	512	2048-8192 Гбайт	6.6 Tflops
16	1024	4096-16384 Гбайт	13.1 Tflops
32	2048	8192-32768 Гбайт	26.2 Tflops
64	4096	16384-65536 Гбайт	52.4 Tflops



# ИСТОЧНИКИ

1. <http://www.intuit.ru/department/hardware/atmcs/>
2. <http://eunu04.narod.ru/ComputerSystems/>
3. <http://studdi.ru/lection/avs/lection10.html>
4. [http://en.wikipedia.org/wiki/Cray\\_X1](http://en.wikipedia.org/wiki/Cray_X1)
- 5.